

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 1 6 0 9 0 1

(43) 公開日 平成 8 年 (1996) 6 月 21 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/20	J 4237-5 H		
		V 4237-5 H		
	3/28	J 4237-5 H		
	3/30	J 4237-5 H		
	3/36			
審査請求	有	請求項の数 1 4	F D	(全 1 7 頁)

(21) 出願番号 特願平 6-330312

(22) 出願日 平成 6 年 (1994) 12 月 7 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 佐野 與志雄

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 大場 雅高

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

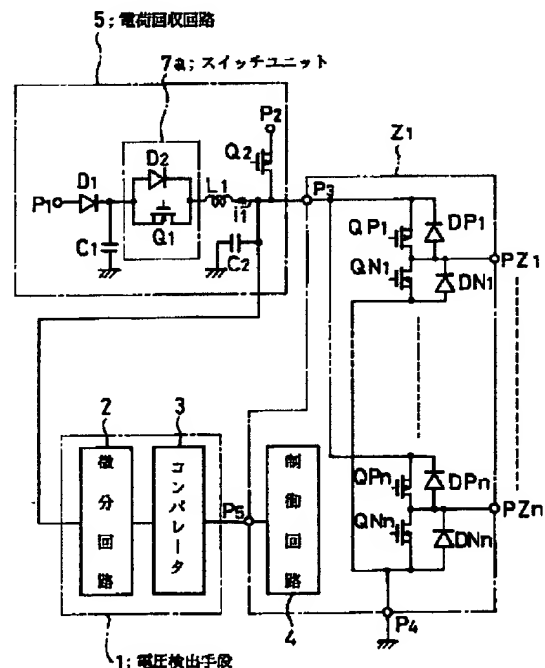
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 表示パネルの駆動回路

(57) 【要約】

【目的】 本発明は平面型の表示パネルの駆動回路において、容量性の列電極に印加するデータパルスの電力を効果的に削減する電荷回収回路の提供。

【構成】 列電極の駆動回路に、電荷回収用のコイルとコンデンサを接続し、電荷回収を行う。また、この電荷回収専用のスイッチを有する I C の出力回路を組み合わせる。



【特許請求の範囲】

【請求項 1】同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを加する表示パネルの駆動回路において、

電荷回収用のコンデンサと、補助コンデンサとを備え、前記電荷回収用のコンデンサの一端と、前記列電極を駆動する IC にデータ電圧を供給するデータ電圧入力端子との間に、電荷を回収する向きの電流は制御すると共に、前記表示パネルの列電極を充電する向きの電流は通電させるスイッチ手段を設け、前記データ電圧入力端子と接地との間に前記補助コンデンサを接続し、前記電荷回収用のコンデンサの他端は接地されてなる、データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路。

【請求項 2】前記データ電圧入力端子と前記スイッチ手段とをインダクタンス素子を介して接続したことを特徴とする請求項 1 記載の表示パネルの駆動回路。

【請求項 3】前記データ電圧入力端子と電源端子との間にスイッチを設けたことを特徴とする請求項 1 記載の表示パネルの駆動回路。

【請求項 4】前記電荷回収用のコンデンサの一端が前記データ電圧の略 1/2 程度の定電圧を供給する電圧源に接続されたことを特徴とする請求項 1 記載の表示パネルの駆動回路。

【請求項 5】同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを加する表示パネルの駆動回路において、

前記列電極を駆動する IC にデータ電圧を供給するデータ電圧入力端子に、他端がデータ電圧源に接続されるスイッチの一端と、他端が接地される補助コンデンサの一端と、コイルの一端とを共通に接続し、該コイルの他端に、電荷回収コンデンサに電荷を回収する電流は制御し前記表示パネルの列電極を充電する電流は通過させる電荷回収のためのスイッチユニットの一端を接続し、該スイッチユニットの他端に、他端を接地した電荷回収用のコンデンサの一端と、データ電圧の略 1/2 の電圧源とを接続してなる、データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路。

【請求項 6】前記表示パネルの列電極及び前記補助コンデンサに蓄積された電荷を前記電荷回収用のコンデンサに回収して前記データ電圧入力端子の電位が所定レベルに下がった場合に、前記 IC 内のトランジスタのオン・オフ遷移の制御を行うと共に、

前記表示パネルの列電極を充電する電流が前記補助コン

デンサを充電してデータ入力端子の電位が立ち上がり、該電位が前記データ電圧に略等しくなった際に前記データ電圧源から前記 IC に前記データ電圧を供給するように制御することを特徴とする請求項 1～5 のいずれかに記載の表示パネルの駆動回路。

【請求項 7】前記データ電圧入力端子に接続された微分回路と、該微分回路の出力をデジタル信号に変換するコンパレータとを有し、

前記コンパレータの出力パルスにより、前記列電極を駆動する IC 内の高電圧スイッチと、一端をコイルに接続し他端をデータ電圧源に接続するスイッチとの動作タイミングを制御することを特徴とする請求項 1～5 のいずれかに記載の表示パネルの駆動回路。

【請求項 8】同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを加する表示パネルの駆動回路において、

少なくとも電荷回収用のコンデンサを備え、

前記列電極を駆動する IC にデータ電圧を供給するデータ入力端子に、電荷回収用のコイルの一端と、他端をデータ電圧源に接続するスイッチの一端と、を接続し、前記コイルの他端と前記電流回収用のコンデンサの一端との間に、前記コイル側から電流回収用のコンデンサに流れる電流と前記電流回収用のコンデンサ側から前記コイルに流れる電流をそれぞれ制御する第 1、第 2 のスイッチを接続し、

前記電荷回収用のコンデンサは、一端が前記データ電圧の略 1/2 の電圧源に接続されると共に他端を接地してなる、

データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路。

【請求項 9】前記列電極を駆動する IC のデータ電圧入力端子と接地との間に補助コンデンサを接続することを特徴とする請求項 8 記載の表示パネルの駆動回路。

【請求項 10】同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを加する表示パネルの駆動回路において、

前記列電極を駆動する IC が 1 又は複数の高電圧スイッチユニットを備え、

前記高電圧スイッチユニットが、前記 IC にデータ電圧を供給するデータ電圧入力端子と出力端子の間に接続される第 1 のスイッチと、

前記出力端子と前記 IC 内の接地端子の間に接続される第 2 のスイッチと、

一端が前記出力端子に接続され他端が第 1 の電荷回収用の端子に接続された第 3 のスイッチと、

一端が前記出力端子に接続され他端が第 2 の電荷回収用

の端子に接続される第4のスイッチと、を備え、
前記データ電圧入力端子をデータ電圧源に接続し、
前記第1の電荷回収用の端子に第1のコイルの一端を接続し、該第1のコイルの他端を第1のダイオードのカソードに接続し、
前記第2の電荷回収用の端子に電荷回収用の第2のコイルの一端を接続し、該第2のコイルの他端を第2のダイオードのアノードに接続し、
前記第1、及び第2のダイオードのアノードとカソードとを共通接続して、他端を接地した電荷回収用のコンデンサの一端に接続すると共に前記データ電圧の略1/2の電圧源に接続してなる、
データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路。

【請求項11】前記第1の電荷回収用の端子に、第1及び第2の回収コンデンサの一端を、それぞれ第1及び第2のダイオードと、第1及び第2のスイッチを介して接続するとともに、前記第1及び第2の回収コンデンサの一端を、それぞれ第3及び第4のスイッチと、第3及び第4のダイオードを介して前記第2の電荷回収用の端子に接続してなる、補助回収回路を有することを特徴とする請求項10記載の表示パネルの駆動回路。

【請求項12】同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを印加する表示パネルの駆動回路において、
前記列電極を駆動するICが1又は複数の高電圧スイッチユニットを備え、
前記高電圧スイッチユニットが、前記ICにデータ電圧を供給するデータ電圧入力端子と出力端子の間に接続される第1のスイッチと、
前記出力端子と前記IC内の接地端子の間に接続される第2のスイッチと、
一端が前記出力端子に接続され他端が電荷回収用の端子に接続された第3のスイッチと、を備え、
前記列電極を駆動する前記ICのデータ電圧入力端子をデータ電圧源に接続し、
前記電荷回収用の端子に電荷回収用のコイルの一端を接続し、該コイルの他端に、コイルから流れ込む電流、およびコイルに向かう電流をそれぞれ制御するスイッチユニットの一侧端を接続し、
該スイッチユニットの他側端に、他端を接地した電荷回収用のコンデンサの一端と、前記データ電圧の略1/2の電圧源とを共通接続してなる、
データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路。

【請求項13】前記電荷回収用の端子と接地との間に補助コンデンサを接続したことを特徴とする請求項12に記載の表示パネルの駆動回路。

【請求項14】同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを印加する表示パネルの駆動回路において、

前記列電極を駆動するICが1又は複数の高電圧スイッチユニットを備え、

前記高電圧スイッチユニットが、前記ICにデータ電圧を供給するデータ電圧入力端子と出力端子の間に接続される第1のスイッチと、

前記出力端子と前記IC内の接地端子の間に接続される第2のスイッチと、

一端が前記出力端子に接続され他端が第1の電荷回収用の端子に接続された第3のスイッチと、

一端が前記出力端子に接続され他端が第2の電荷回収用の端子に接続される第4のスイッチとを備え、

前記列電極を駆動するICのデータ電圧入力端子をデータ電圧源に接続し、

前記第1の電荷回収用の端子に、他端をデータ電圧源に接続するダイオードのアノードと、他端を接地するダイオードのカソードと、他端を電荷回収コイルに接続するダイオードのカソードとを接続し、

前記第2の電荷回収用の端子に、他端をデータ電圧源に接続するダイオードのアノードと、他端を接地するダイオードのカソードと、他端を前記の第1の電荷回収端子に接続するダイオードのアノードに接続するコイルとを接続してなる、

データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、情報端末機器やパーソナルコンピュータ、あるいはテレビジョン等の画像表示装置に用いられる、プラズマディスプレイパネル、エレクトロルミネセントパネル、液晶パネル等の平面型の表示パネルであって、容量性負荷となる表示パネルの駆動回路に関する。さらに詳しくは、本発明は、容量性の列電極に印加するデータパルスの電力を効果的に削減する電荷回収回路に関する。

【0002】

【従来の技術】従来、平面型の表示パネルとして、プラズマディスプレイパネルやエレクトロルミネセントパネル、液晶パネル等が用いられている。以下ではプラズマディスプレイパネルを例に説明する。

【0003】プラズマディスプレイパネルの断面構造を示した図11を参照して、11はガラスよりなる第1絶縁基板、12は同じくガラスよりなる第2絶縁基板、13は金属電極よりなる列電極、14は列電極13を覆う絶縁層、15はガラスなどの絶縁材よりなる隔壁、16は蛍光体、17は例えばネサ電極等の透明電極よりなる

走査電極、18は例えばネサ電極等の透明電極等よりなる維持電極、19は走査電極17や維持電極18の抵抗値を下げるために用いる金属のバス電極、20は厚膜の絶縁層、21は絶縁材よりなる隔壁、22はガス放電より絶縁層を保護するMgO等からなる保護層、23は放電により蛍光体を励起する、希ガス等の放電ガスが充填される放電ガス空間である。画像の表示方向は図11の矢印方向が好適である。

【0004】次に、プラズマディスプレイパネルの電極のみに着目した図12を参照すると、25はプラズマディスプレイパネル、26は第1絶縁基板11と第2絶縁基板12を張り合わせ、内部に放電ガスを封入し気密にシールするシール部、 S_1 、 S_2 、 \dots 、 S_m は走査電極17、 Ca_1 、 Ca_2 、 \dots 、 Ca_m は維持電極18、 Da_1 、 Da_2 、 \dots 、 Da_{n-1} 、 Da_n は列電極13である。i番目の走査電極と、j番目の列電極の交点セル24を a_{ij} とする。なお、図11は、図12の列電極に沿った構造断面図となっている。

【0005】図13は、図11、図12に示したプラズマディスプレイパネルの駆動電圧波形及び発光波形の一例を示す図である。

【0006】図13を参照して、波形(A)は維持電極13(Ca_1 、 Ca_2 、 \dots 、 Ca_m)に印加する電圧波形、波形(B)は走査電極 S_1 に印加する電圧波形、波形

(C)は走査電極 S_2 に印加する電圧波形、波形(D)は走査電極 S_m に印加する電圧波形、波形(E)は列電極 Da_1 に印加する電圧波形、波形(F)は列電極 Da_2 に印加する電圧波形、波形(G)は表示セル a_{11} の発光波形、をそれぞれ示す。波形(E)及び波形(F)において斜線を有するパルスは、書き込みすべきデータの有無に従ってパルスの有無が決定されていることを示す。以下に動作を簡単に説明する。

【0007】まず消去パルス35を走査電極に印加し、それまでの維持放電を一旦消去する。

【0008】次に、プライミングパルス36を全ての維持電極18に印加し、表示データの書き込み時の放電の種となるプライミング粒子を生成するプライミング放電をパネル全面で行う。

【0009】ついで、プライミング放電が維持放電にそのままつながらないように、プライミング消去パルス37を全ての走査電極に印加する。

【0010】走査電極 S_1 、 S_2 、 S_m に印加される走査パルス33と、このパルスに同期して列電極 Da_1 、 Da_2 、 \dots 、 Da_{n-1} 、 Da_n に印加されるデータパルス34とにより表示データの書き込み放電を起こす。

【0011】データ電圧波形として、図13では表示セル a_{11} 、 a_{22} にはデータを書き込み、表示セル a_{12} 、 a_{21} にはデータを書き込まず、1行目、2行目の a_{11} 、 a_{22} 、 a_{12} 、 a_{21} 以外の表示セル、および3行目以降の表示セルについては、データの有無により表示が行われる

場合を示している。

【0012】書込放電があった表示セル24(図12参照)では、維持パルス21、32によって走査電極17と維持電極18との間で維持放電を行う。これらの維持パルス31、32を印加する回数により、表示輝度の制御を行う。

【0013】

【発明が解決しようとする課題】しかしながら、上記のような従来の駆動方法では、列電極に印加して表示データを書き込むためのデータパルスは、各走査線のデータを書き込むたびにデータ書込以外の走査線に対しても静電容量の充放電を行わねばならない。また隣り合う列電極間の静電容量の充放電も行わねばならない。このため、本来表示に必要な電力以外に、このデータ書込のための電力消費が大きいという欠点があった。

【0014】前記問題を解決するため、例えば特公平5-81912号公報には、データパルスによるパネルの静電容量の充放電電力を回収する、いわゆる電荷回収回路が提案されている。

【0015】この回路図を示した図14を参照すると、 C_{100} は直流電源出力の静電容量、 C_{101} は外部容量、 C_{102} は列電極の等価容量、 S_{100} 、 S_{101} 、 S_{102} 、 S_{103} は高電圧のスイッチ、 D_{100} 、 D_{101} 、 D_{102} 、 D_{103} はダイオード、 L_{100} はコイルである。

【0016】データ信号に応じて高電圧に充電すべき列電極の数が変動すると、これに応じて列電極の等価容量 C_{102} も変動する。これに伴い、コイル L_{100} 、および等価容量 C_{102} と外部容量 C_{101} の並列容量からなる共振回路の周期(共振周波数)も変化する。これに応じて、スイッチ S_{100} 、 S_{101} をオフするタイミングを調整することが要求される。そして、このような調整を行わないと、回収回路内部での電力損失が増大し、回収効率が著しく悪化する。

【0017】上記の調整は、前記特公平5-81912号公報の実施例に記載されており、比較的動作が遅くともよいエレクトロルミネセントパネル(列電極に印加されるデータパルスの立ち上がりまたは立ち下がり時間は数マイクロ秒以上である)には対応できる。

【0018】なぜならば、スイッチ S_{100} や S_{101} として、動作遅れが0.1から0.2 μ (マイクロ)秒程度のFET素子を用いることが可能であるからである。

【0019】しかし、エレクトロルミネセントパネルに比較して非常な高速動作が要求されるプラズマディスプレイパネル(列電極に印加されるデータパルスの立ち上がりまたは立ち下がり時間は0.3 μ 秒程度以下である)等には、この立ち上がり、または立ち下がり時間に対応できる十分早い動作速度(望ましくは動作遅れが0.1 μ 秒以下)を持つスイッチがない。

【0020】このため、前記公報の回路では十分に対応できないという欠点があった。

【0021】従って、本発明の目的は、プラズマディスプレイパネルのように高速動作を要求される表示パネルにも対応できる電荷回収回路を実現すること、およびこの電荷回収回路に適した駆動ICの回路構成を実現することにある。

【0022】

【課題を解決するための手段】前記目的を達成するため、本発明は、同一平面上に形成した互いに並行する複数の行電極と、該行電極と絶縁され、該行電極と直交し互いに並行する複数の列電極とを少なくとも備えた表示パネルの列電極にデータパルスを加する表示パネルの駆動回路において、電荷回収用のコンデンサと、補助コンデンサとを備え、前記電荷回収用のコンデンサの一端と、前記列電極を駆動するICにデータ電圧を供給するデータ電圧入力端子との間に、電荷を回収する向きの電流は制御すると共に、前記表示パネルの列電極を充電する向きの電流は通電させるスイッチ手段を設け、前記データ電圧入力端子と接地との間に前記補助コンデンサを接続し、前記電荷回収用のコンデンサの他端は接地されてなる、データパルスの電荷回収回路を有することを特徴とする表示パネルの駆動回路を提供する。

【0023】本発明においては、好ましくは、データ電圧入力端子とスイッチ手段とはインダクタンス素子を介して接続される。また、データ電圧入力端子と電源端子との間にはスイッチを設けてもよい。さらに、電荷回収用のコンデンサの一端はデータ電圧の略1/2程度の定電圧を供給する電圧源に接続される。

【0024】また、本発明においては、列電極を駆動するICのデータ電圧入力端子に接続する微分回路と、この微分回路の出力をデジタル信号に変換するコンパレータとを有し、このコンパレータの出力パルスにより、列電極を駆動するIC内の高電圧スイッチと、一端をコイルに接続し他端をデータ電圧源に接続するスイッチとの動作タイミングを制御することを特徴とする。

【0025】さらに、本発明は第2の視点において、列電極を駆動するICのデータ電圧入力端子に、電荷回収用のコイルと、他端をデータ電圧源に接続するスイッチとを接続し、上記コイルの他端に、コイルから流れ込む電流およびコイルに向かう電流をそれぞれ制御するスイッチユニットを接続し、該スイッチユニットの他端に、他端を接地する電荷回収用のコンデンサと、データ電圧の略1/2の電圧源とを接続してなる、データパルスの電荷回収回路を有することを特徴とする。

【0026】本発明は上記視点において、列電極を駆動するICのデータ電圧入力端子に、他端を接地する補助コンデンサを接続することを特徴とする。

【0027】また、本発明は、第3の視点において、前記列電極を駆動するICが1又は複数の高電圧スイッチユニットを備え、前記高電圧スイッチユニットが、前記ICにデータ電圧を供給するデータ電圧入力端子と出力

端子の間に接続される第1のスイッチと、前記出力端子と前記IC内の接地端子の間に接続される第2のスイッチと、一端が前記出力端子に接続され他端が第1の電荷回収用の端子に接続された第3のスイッチと、一端が前記出力端子に接続され他端が第2の電荷回収用の端子に接続される第4のスイッチとを備え、前記データ電圧入力端子をデータ電圧源に接続し、前記第1の電荷回収用の端子に第1のコイルの一端を接続し、該第1のコイルの他端を第1のダイオードのカソードに接続し、前記第2の電荷回収用の端子に電荷回収用の第2のコイルの一端を接続し、該第2のコイルの他端を第2のダイオードのアノードに接続し、前記第1、及び第2のダイオードのアノードとカソードとを共通接続して、他端を接地した電荷回収用のコンデンサの一端に接続すると共に前記データ電圧の略1/2の電圧源に接続してなる、データパルスの電荷回収回路を有することを特徴とする。

【0028】さらに、本発明は、第4の視点において、前記列電極を駆動するICが1又は複数の高電圧スイッチユニットを備え、前記高電圧スイッチユニットが、前記ICにデータ電圧を供給するデータ電圧入力端子と出力端子の間に接続される第1のスイッチと、前記出力端子と前記IC内の接地端子の間に接続される第2のスイッチと、一端が前記出力端子に接続され他端が電荷回収用の端子に接続された第3のスイッチと、を備え、前記列電極を駆動する前記ICのデータ電圧入力端子をデータ電圧源に接続し、前記電荷回収用の端子に電荷回収用のコイルの一端を接続し、該コイルの他端に、コイルから流れ込む電流、およびコイルに向かう電流をそれぞれ制御するスイッチユニットの側端を接続し、該スイッチユニットの他側端に、他端を接地した電荷回収用のコンデンサの一端と、前記データ電圧の略1/2の電圧源とを共通接続してなる、データパルスの電荷回収回路を有することを特徴とする。本発明においては、好ましくは、電荷回収用の端子に、他端を接地する補助コンデンサを接続したことを特徴とする。

【0029】そして、本発明は、第5の視点において、前記列電極を駆動するICが1又は複数の高電圧スイッチユニットを備え、前記高電圧スイッチユニットが、前記ICにデータ電圧を供給するデータ電圧入力端子と出力端子の間に接続される第1のスイッチと、前記出力端子と前記IC内の接地端子の間に接続される第2のスイッチと、一端が前記出力端子に接続され他端が第1の電荷回収用の端子に接続された第3のスイッチと、一端が前記出力端子に接続され他端が第2の電荷回収用の端子に接続される第4のスイッチとを備え、前記列電極を駆動するICのデータ電圧入力端子をデータ電圧源に接続し、前記第1の電荷回収用の端子に、他端をデータ電圧源に接続するダイオードのアノードと、他端を接地するダイオードのカソードと、他端を電荷回収コイルに接続するダイオードのカソードとを接続し、前記第2の電荷

回収用の端子に、他端をデータ電圧源に接続するダイオードのアノードと、他端を接地するダイオードのカソードと、他端を前記の第1の電荷回収端子に接続するダイオードのアノードに接続するコイルとを接続してなる、データパルスの電荷回収回路を有することを特徴とするものである。

【0030】

【作用】本発明によれば、上記いずれの視点においても、容量性の列電極の電荷を効率的に電荷回収用コンデンサに回収するものであり、列電極を駆動するICに印加するデータパルスの電力を効率的に削減することが可能とされている。

【0031】また、本発明によれば、電荷回収回路の動作開始から所定期間経過後に、データ電圧入力端子の電圧が所定のレベル以下又は最低となった時点で、列電極を駆動するIC内のFETのオン・オフ遷移を行うため、電荷回収の効率が最も高くなると共に、データ電源からICへのデータ電圧の供給も電荷回収の効率を最適化するように制御することができる。

【0032】そして、本発明の第2の視点を従来例と比較した場合、従来例では大きな電流を制御するスイッチを微妙なタイミングで制御することが必要とされたのに対し、本発明によれば、厳しいタイミング制御は全く不要とされている。すなわち、本発明によれば、全てのFETについて、固定されたタイミングにおいてオンまたはオフの遷移を制御しながら、高い電荷回収効率を持つデータ側の駆動回路を実現できる。また、本発明によれば、データパルスの立ち下がり時間または立ち上がり時間Tが小さくなくても回路動作上問題ないため、補助コンデンサを省略することもできる。

【0033】本発明の第3の視点によれば、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができる。しかも、それぞれの列電極のオン・オフの遷移は同一期間内に起こるため、遷移に要する期間を短縮することができ、高速動作を達成することができる。

【0034】また、本発明の第4の視点によれば、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができる。この場合、それぞれの列電極のオン・オフの遷移は同一期間内に発生させることができないため、遷移に要する期間は長くなるが、電荷回収回路、および列電極を駆動するICの構成を簡単にできる利点を有する。

【0035】さらに、本発明の第5の視点によれば、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めると共に、それぞれの列電極のオン・オフの遷移は同一期間内に起こるため、遷移に要する期間を短縮することが可能とされ、高速動作を達成できる。そして、本発明によれば、列電極を駆動するICの外につける部品点数が少なく、またそれらの部品は実

質的に受動素子からなり、特別な制御信号を必要としないため、回路構成を極めて簡易化できる。

【0036】

【実施例】図面を参照して、本発明の実施例を以下に説明する。表示パネルとして従来例として図11、図12を参照して説明したプラズマディスプレイを例にとり、これを駆動するのに用いる、本発明に係る駆動回路を説明する。

【0037】プラズマディスプレイパネルは、電極数は走査電極17、維持電極18がそれぞれ240本、列電極が960本である。表示セルのピッチは、走査電極にそった方向が0.4mm、走査電極に垂直な方向が1.2mmである。列電極1本の容量は、両隣の列電極との容量が37pF、列電極1本と、1本の列電極が交差する全ての走査電極、維持電極との容量が12pFである。

【0038】列電極は4個のブロックに分割し、ブロックを単位として電荷回収回路が設けられている。1ブロック内の列電極は240本である。この半数を選択したときが最大の静電容量(6nF)を示す。

【0039】なお、以下の実施例では、高電圧をオン・オフするスイッチとしてFETを用いている。

【0040】

【実施例1】図1に、本発明の第1の実施例の駆動回路の構成を示す。ここでは特公昭56-30730号公報に示された回路を用い、これを列電極を駆動するICと組み合わせることにより、データ側の電荷回収を高速で行えるようにした。

【0041】図1を参照して、本実施例は、基本的に、列電極を駆動するIC(Z₁)と電荷回収回路5から構成され、好ましくは、微分回路2とコンパレータ3から成る電圧検出手段1、及び制御回路4を含んでもよい。コンパレータ3は微分回路2の電圧がゼロ電圧を通したことを検知して検出信号を制御回路4に出力する。

【0042】電源回収回路5において、P₁はデータ電圧V_dの1/2の電荷回収用の直流電圧を印加する端子、P₂はデータ電圧V_dの直流電圧を印加する端子である。

【0043】D₁、D₂はダイオードであり、C₁は電荷回収の対象となる列電極および補助コンデンサの合成静電容量の略100倍以上の静電容量を有する電荷回収用コンデンサ、C₂は回収すべき列電極の静電容量の変動による回収静電容量の変動率を低減するための補助コンデンサ(静電容量4nF)である。

【0044】Q₁はNチャネルFET、端子P₂と端子P₃との間に挿入されたQ₂はPチャネルFETである。NチャネルFET(Q₁)およびダイオードD₂はスイッチユニット7aを構成する。

【0045】ダイオードD₂のカソードとFET(Q₁)との共通接続点に一端が接続され他端が端子P₃に接続

された L_1 は、電荷回収用のコイル（インダクタンス $1\mu\text{H}$ ）である。

【0046】IC（ Z_1 ）について、 P_3 はIC（ Z_1 ）のデータ電圧入力端子であり、また、 $PZ_1 \sim PZ_n$ は各列電極に接続されるIC（ Z_1 ）の出力端子である。 P_4 はIC（ Z_1 ）の接地端子、 P_5 はIC（ Z_1 ）内の制御回路4の入力信号端子である。 $QN_1 \sim QN_n$ はIC（ Z_1 ）内の高耐圧のNチャネルFET、 $QP_1 \sim QP_n$ はIC（ Z_1 ）内の高耐圧のPチャネルFET、 $DN_1 \sim DN_n$ はそれぞれNチャネルFET（ $QN_1 \sim QN_n$ ）の寄生ダイオード、 $DP_1 \sim DP_n$ はそれぞれPチャネルFET（ $QP_1 \sim QP_n$ ）の寄生ダイオードである。

【0047】なお、端子 P_1 にはデータ電圧 V_d の略1/2の定電圧が電圧源（不図示）から印加され、電荷回収用のコンデンサ C_1 の端子間電位がデータ電圧 V_d の略1/2以下となった場合にダイオード D_1 を介して電荷回収用のコンデンサ C_1 を充電し、電荷回収用のコンデンサ C_1 の端子間電位が常にデータ電圧 V_d の略1/2以上を保つようにしている。

【0048】図2に、本実施例に係る回路の電圧、電流波形等を示す。

【0049】期間 T_1 においては、スイッチユニット7aのFET（ Q_1 ）が導通し、補助コンデンサ C_2 に蓄えられていた電荷を、コイル L_1 、FET（ Q_1 ）を通して回収コンデンサ C_1 に回収する。

【0050】また、パルス電圧が印加されていた列電極に蓄えられていた電荷を、端子 PZ_i （ i は1～ n の内で選択された端子の番号）、ダイオード DP_i （ i は1～ n の内で選択された端子の番号）、コイル L_1 、FET（ Q_1 ）を通して、回収コンデンサ C_1 に回収する。

【0051】期間 T_1 の終了時には端子 P_3 の電圧波形（A）はゼロに近い最低値となる。

【0052】期間 T_2 においては、スイッチユニット7aのダイオード D_2 と、コイル L_1 を通して補助コンデンサ C_2 に電荷を充電する。すなわち、図2（D）を参照して、コイル L_1 に流れる電流 i_1 の向きは、期間 T_1 と反転し、補助コンデンサ C_2 を充電する。

【0053】そして、期間 T_2 において、ダイオード D_2 、コイル L_1 、及びFET（ QP_i ）（ $i=1 \sim n$ ）のうちデータ有りの状態に対応してオン状態が選択されるFET（ QP_i ）（ i は1～ n の内で選択された端子の番号）を通して、各列電極に電荷が充電される。

【0054】この場合、コイル L_1 を通して充電を行うため、回路内の抵抗による電力損失はわずかである。

【0055】PチャネルFET（ QP_i ）とNチャネルFET（ QN_i ）（ $i=1 \sim n$ ）は、互いに相補的（コンプリメンタリ）に作動するため、 QP_i がオン状態の場合 QN_i はオフ状態とされる。

【0056】期間 T_2 において、端子 P_3 の電圧は、データ電圧 V_d 近くまで上昇する。なお、 T_2 期間中、スイ

ッチユニット7aのFET（ Q_1 ）はオンでもオフでも構わない。これを図2（E）の破線で示す。

【0057】期間 T_3 では、PチャネルFET（ Q_2 ）がオンとなり、端子 P_3 の電圧はデータ電圧 V_d にクランプされる。また、各列電極の電圧値は、オン状態のFET（ Q_2 ）、およびデータの有無に従い、IC（ Z_1 ）内のFET（ QP_i ）により電圧 V_d に、またはIC（ Z_1 ）内のFET（ QN_i ）によりゼロ電圧に固定される。以上のような動作により、データパルスの電荷回収と、データの書込が行われる。

【0058】次に、IC（ Z_1 ）内のFET（ QN_1 、 QN_2 、…、 QN_n ）やFET（ QP_1 、 QP_2 、…、 QP_n ）のオン・オフが遷移するタイミング、またはFET（ Q_2 ）がオンするタイミングの制御について考える。

【0059】電荷回収回路5の動作開始から期間 T_1 の経過後に、端子 P_3 の電圧は最低となる。この時点で、IC（ Z_1 ）内のFET（ QN_1 、 QN_2 、…、 QN_n ）やFET（ QP_1 、 QP_2 、…、 QP_n ）のオン・オフ遷移を行うと、電荷回収の効率が最も高くなる。

【0060】また、FET（ Q_2 ）のオン・タイミングは、期間 T_1 ＋期間 T_2 の時間以後とすることが望ましい。オン・タイミングがこれより早いと電荷回収の効率が悪くなる。

【0061】そこで、端子 P_3 の電圧波形を微分回路2により微分し、図2（B）の波形を得る。この波形をコンパレータ3により波形整形して、図2（C）の波形を得る。

【0062】コンパレータ3の出力波形（図2（C）参照）の立ち上がりにより、IC（ Z_1 ）内のFET（ QN_1 、 QN_2 、…、 QN_n ）やFET（ QP_1 、 QP_2 、…、 QP_n ）のオン・オフ遷移タイミングを制御する。また、コンパレータ3の出力波形の立ち下がりにより、FET（ Q_2 ）のオン・タイミングを制御する。

【0063】なお、図2（D）に示すコイル L_1 に流れ込む（又はコイル L_1 から流れ出す）電流 i_1 の波形と、図2（B）に示した微分回路2の出力電圧波形を比較して判るように、端子 P_3 の電圧の微分波形ではなく、電流 i_1 の波形を検出して、これをコンパレータ3の入力としてもよい。

【0064】次に、期間 T_1 や期間 T_2 の時間を実施例の数値で求めてみる。データパルスの立ち下がり（または立ち上がり）の時間 T は、コイル L_1 のインダクタンスの値を L 、補助コンデンサ C_2 とデータパルスを取り除くべき（または印加すべき）列電極の並列合成静電容量の値を C とすると、次式（1）で近似される。

$$T \approx \pi (LC)^{1/2} \quad \dots (1)$$

【0066】コイル L_1 のインダクタンス $1\mu\text{H}$ 、補助コンデンサ C_2 の静電容量は 4nF 、列電極の静電容量は0から略 6nF まで変化する。

【0067】上式(1)にしたがって時間Tの値を計算すると以下ようになる。

【0068】 $T=0.20\sim0.31\mu\text{秒}$

【0069】本実施例を従来例と比較すると、従来例では大きな電流を制御するスイッチを微妙なタイミングで制御することが必要とされ、このようなタイミング制御はかなり困難であった。

【0070】本実施例においては、厳しいタイミング制御はIC(Z₁)内のFET(QN₁、QN₂、…、QN_n、QP₁、QP₂、…、QP_n)で行えばよい。

【0071】これらのFETのそれぞれの出力電流は小さいため、高速のスイッチングが十分可能である。したがって、従来は困難とされていた効率の良いデータ側の電荷回収が実現できる。また、FET(Q₂)は図14に示す従来例のスイッチS₁₀₂と同じ動作であるから特に変化はない。

【0072】なお、電荷回収の効率がいくらか低くても良い場合は、電圧検出手段1を省き、期間T₁およびT₂の時間を固定して用いても良い。

【0073】上記の実施例では期間T₁および期間T₂の時間を0.20~0.31μ秒、望ましくは0.25μ秒程度に固定して動作させても良い。

【0074】また、上記の例ではダイオードD₂を用いたが、スイッチとして上記のようにFETを用いた場合はFET(Q₁)の寄生ダイオードを使用することにより、図1のダイオードD₂を省略してもよい。

【0075】以上、上記第1の実施例においては従来にくらべると電荷回収回路の制御性は格段に向上しているが、それでも、高い回収効率を得るにはタイミング調整用に高速動作する電圧検出手段1を必要とする。

【0076】

【実施例2】この問題を解決するには、ダイオードD₂の代わりにスイッチを用いるとよい。これを本発明の第2の実施例として以下に説明する。

【0077】本発明の第2の実施例の回路図を示す図3を参照して、Z₁は列電極を駆動する高耐電圧のIC、P₁₁はデータ電圧V_dの略1/2の、電荷回収用の直流電圧を印加する端子、P₁₂はデータ電圧V_dの直流電圧を印加する端子、P₁₃はIC(Z₁)のデータ電圧入力端子、P₁₄はIC(Z₁)の接地端子、D₁₁、D₁₂、D₁₃はダイオード、C₁₁は電荷回収の対象となる列電極、および補助コンデンサの合成静電容量の略100倍以上の静電容量を有する電荷回収用コンデンサ、C₁₂は回収すべき列電極の静電容量の変動による回収静電容量の変動率を小さくするための補助コンデンサ(静電容量4nF)、L₁₁は電荷回収用のコイル(インダクタンス1μH)、Q₁₁はNチャネルFET、Q₁₂、Q₁₃はPチャネルFET、QN₁₁、…、QN_{1n}はIC(Z₁)内の高耐圧のNチャネルFET、QP₁₁、QP_{1n}はIC(Z₁)内の高耐圧のPチャネルFET、DN₁₁、…、DN_{1n}は

それぞれNチャネルFET(QN₁₁、…、QN_{1n})の寄生ダイオード、DP₁₁、…、DP_{1n}はそれぞれPチャネルFET(QP₁₁、…、QP_{1n})の寄生ダイオード、PZ₁₁、…、PZ_{1n}は各列電極に接続されるIC(Z₁)の出力端子、7bは、FET(Q₁₁、Q₁₃)およびダイオードD₁₂、D₁₃よりなるスイッチユニットである。

【0078】図4に、本発明の第2の実施例に係る回路における電圧、電流波形等を示す。

【0079】期間T₁₁においては、FET(Q₁₁)が導通し、補助コンデンサC₁₂に蓄えられていた電荷をコイルL₁₁、ダイオードD₁₃、FET(Q₁₁)を通して、また列電極に蓄えられていた電荷をダイオードDP₁₁(iは1~nの内選択された端子の番号)、コイルL₁₁、ダイオードD₁₃、FET(Q₁₁)を通して、回収コンデンサC₁₁に回収する。期間T₁₁の終了時には端子P₁₃の電圧波形(図3(A))はゼロに近い最低値となる。なお、この期間中、FET(Q₁₃)はオンでもオフでも構わない。これを図4(D)の破線で示す。

【0080】期間T₁₂においては、IC(Z₁)内のNチャネルFET(QN₁₁、QN₁₂、…、QN_{1n})、およびIC(Z₁)内のPチャネルFET(QP₁₁、QP₁₂、QP_{1n})のオン・オフ状態の遷移を行う。FET(QP₁₁)とFET(QN₁₁)(i=1~n)は互いにコンプリメンタリな動作をするので、QP₁₁がオンの場合QN₁₁はオフである。なお、この期間中、FET(Q₁₁)はオンでもオフでも構わない。これを図4(B)の破線で示す。

【0081】期間T₁₃においては、FET(Q₁₃)が導通し、ダイオードD₁₂、コイルL₁₁を通して、補助コンデンサC₁₂が充電される。また、これと並行して、FET(Q₁₃)、ダイオードD₁₂、コイルL₁₁、FET(QP₁₁)(i=1~n)のうちデータ有りに対応してオン状態が選択されているFET(QP₁₁)(iは1~nの内選択された端子の番号)を通して各列電極に電荷が充電されデータパルスが形成される。コイルL₁₁を通して充電を行うので、回路内の抵抗による電力損失はわずかである。端子P₁₃の電圧はデータ電圧V_dちかくまで上昇する。なお、この期間中、FET(Q₁₁)はオンでもオフでも構わない。これを図4(B)の破線で示す。

【0082】期間T₁₄においてはFET(Q₁₂)がオンとなり、端子P₁₃の電圧はデータ電圧V_dにクランプされる。また、各列電極の電圧値はオン状態のFET(Q₁₂)およびデータの有無に従い、IC(Z₁)内のFET(QP₁₁)により電圧V_dに、またはIC(Z₁)内のFET(QN₁₁)によりゼロ電圧に固定される。なお、この期間中、FET(Q₁₃)はオンでもオフでも構わない。これを図4(D)の破線で示す。

【0083】以上のような動作により、データパルスの電荷回収とデータの書き込みが行われる。

【0084】次に、IC(Z₁)内のFET(QN₁₁、

QN_{12} 、 \dots 、 QN_{1n} や QP_{11} 、 QP_{12} 、 \dots 、 QP_{1n} のオン・オフが遷移するタイミング、またはFET (Q_{12})やFET (Q_{13})がオンするタイミングの制御について考える。

【0085】データパルスの立ち下がり時間、または立ち上がり時間 T は、前記第1の実施例の場合と同じく、 $0.20 \sim 0.31 \mu$ 秒である。

【0086】まず、期間 T_{11} の時間をデータパルスの立ち下がり時間の最大値 0.31μ 秒に設定する。これにより、IC (Z_{11})内のFET (QN_{11} 、 QN_{12} 、 \dots 、 QN_{1n} や QP_{11} 、 QP_{12} 、 \dots 、 QP_{1n})のオン・オフ遷移が行われる前に、端子 P_{13} の電圧は必ず最低値となり、常に一定の条件で十分な電荷回収が行える。

【0087】期間 T_{12} は0から 0.1μ 秒に設定し、IC (Z_{11})内のFET (QN_{11} 、 QN_{12} 、 \dots 、 QN_{1n} や QP_{11} 、 QP_{12} 、 \dots 、 QP_{1n})のオン・オフ遷移タイミングはこの期間 T_{12} のなか、望ましくは期間 T_{12} の中央に設定する。この期間内では、端子 P_{13} の電圧は必ず最低値であるので、遷移による電力損失は最小で済む。

【0088】期間 T_{13} は期間 T_{11} と同じくデータパルスの立ち上がり時間の最大値 0.31μ 秒に設定する。FET (Q_{13})をオンするタイミングは、当然ながら期間 T_{13} の開始時点に設定する。

【0089】FET (Q_{12})のオン・タイミングは、時間が固定された T_{11} 、 T_{12} 、および T_{13} の後の、期間 T_{14} を開始する固定されたタイミングとすればよい。

【0090】なお、本実施例では前記第1の実施例と異なり、データパルスの立ち下がり時間または立ち上がり時間 T が小さくなくても回路動作上問題ないため、補助コンデンサ C_{12} を省略することもできる。

【0091】本実施例を従来例と比較すると、従来は大きな電流を制御するスイッチを微妙なタイミングで制御する必要があったが、本実施例では厳しいタイミング制御は全く不要とできる。すなわち、全てのFETについて、固定されたタイミングにおいてオンまたはオフの遷移を制御しながら、高い電荷回収効率を持つデータ側の駆動回路を実現できる。

【0092】以上、説明した本発明の第1及び第2の実施例では、図2(I)や図4(G)の電圧波形から判るように、全ての列電極に印加されるデータパルスは、時系列で印加されるデータパルス間で一旦電圧が下がる。このようなパルスを「孤立データパルス」と呼ぶことにする。

【0093】データパルスとしては、このような孤立データパルスよりも、時系列でパルスとパルスが連続するデータパルスの方が、パルスのオン・オフの遷移点が多く、したがってデータパルスのオン・オフに伴う電力消費を特殊な表示パターン(千鳥格子など)を除いて半分以下にすることができることが知られている。

【0094】

【実施例3】ところで、前記第1の実施例及び第2の実施例では、連続データパルスによる省電力効果と、電荷回収による省電力効果を合わせ持つことができない。この問題を取り除くことができる電荷回収回路を、本発明の第3の実施例として以下に説明する。

【0095】図5は、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めた本発明の第3の実施例の駆動回路図である。

【0096】図5を参照して、 Z_{21} は列電極を駆動する高耐電圧のIC、 P_{21} はデータ電圧 V_d の略1/2の電荷回収用の直流電圧を印加する端子、 P_{22} はデータ電圧 V_d の直流電圧を印加する端子、 P_{23} はIC (Z_{21})の電荷回収用の第1の端子、 P_{24} はIC (Z_{21})の接地端子、 P_{25} はIC (Z_{21})のデータ電圧 V_d を入力する端子、 P_{26} はIC (Z_{21})の電荷回収用の第2の端子、 $D_{21} \sim D_{27}$ はダイオード、 C_{21} は電荷回収の対象となる列電極、および補助コンデンサの合成静電容量の略100倍以上の静電容量を有する電荷回収用コンデンサ、 C_{22} 、 C_{23} は回収すべき列電極の静電容量の変動による回収静電容量の変動率を小さくするための補助コンデンサ(静電容量4nF)、 L_{21} は電荷回収用で列電極を充電する側のコイル(インダクタンス 1μ H)、 L_{22} は電荷回収用で列電極を放電する側のコイル(インダクタンス 1μ H)、 Q_{21} 、 Q_{23} はNチャネルFET、 Q_{22} 、 Q_{24} はPチャネルFET、 QA_{21} 、 \dots 、 QA_{2n} はIC (Z_{21})内の高耐圧のNチャネルのトランスファゲート、 QB_{21} 、 \dots 、 QB_{2n} はIC (Z_{21})内の高耐圧のPチャネルのトランスファゲート、 QN_{21} 、 \dots 、 QN_{2n} はIC (Z_{21})内の高耐圧のNチャネルFET、 QP_{21} 、 \dots 、 QP_{2n} はIC (Z_{21})内の高耐圧のPチャネルFET、 DN_{21} 、 \dots 、 DN_{2n} はそれぞれNチャネルFET (QN_{21} 、 \dots 、 QN_{2n})の寄生ダイオード、 DP_{21} 、 \dots 、 DP_{2n} はそれぞれPチャネルFET (QP_{21} 、 \dots 、 QP_{2n})の寄生ダイオード、 PZ_{21} 、 \dots 、 PZ_{2n} は各列電極に接続されるIC (Z_{21})の出力端子、 $7c$ は、FET (QP_{21} 、 QN_{21})、寄生ダイオード、 DP_{21} 、 DN_{21} 、トランスファゲート、 QA_{21} 、 QB_{21} ($i=1 \sim n$)よりなるスイッチユニットである。

【0097】図6に、本実施例に係る回路の電圧、電流波形等を示す。図6を参照して、期間 T_{21} 、 T_{23} 、 T_{25} は、データパルスのオン・オフの遷移期間であり、期間 T_{22} 、 T_{24} はデータパルスを一定電圧にクランプする期間である。

【0098】補助回収回路6は、新たに選択された列電極(または新たにゼロ電位に戻る列電極)の数が少ない場合にも、新たに選択された列電極(または新たにゼロ電位に戻る列電極)の数が多く場合と同様に電荷回収動作を行う目的で設置した。

【0099】まず、補助回収回路6の動作原理を説明する。

【0100】端子 P_{27} の電圧波形(図6(E))と、端子 P_{28} の電圧波形(図6(H))を比較すると、一方が低電圧状態から高電圧状態に移移するとき、他方は高電圧状態から低電圧状態に移移する。このような動作により、移移期間 T_{21} 、 T_{23} 、 T_{25} において、補助コンデンサ C_{22} 、 C_{23} は、一方が充電用の時、他方は放電用として動作する。

【0101】これにより、充電(または放電)すべき列電極の増減に対して、回収動作の対象となる静電容量の変動比率を緩和する。なお、このように2個の補助コンデンサが必要となるのは、各移移期間 T_{21} 、 T_{23} 、 T_{25} において、それぞれ列電極の充電と放電が同時に行われるからである。

【0102】次に、補助回収回路6の具体的な動作を説明する。

【0103】まず、期間 T_{21} においては、FET(Q_{21})を導通させ、回収コンデンサ C_{21} に蓄えられていた電荷をダイオード D_{22} 、コイル L_{21} 、ダイオード D_{24} 、FET(Q_{21})を通して、補助コンデンサ C_{22} に充電する。補助コンデンサ C_{22} の電圧を、端子 P_{27} の電圧として図6(E)に示す。

【0104】期間 T_{21} においてFET(Q_{24})を導通させ、補助コンデンサ C_{23} に蓄えられていた電荷をFET(Q_{24})、ダイオード D_{27} 、コイル L_{22} 、ダイオード D_{23} を通して回収コンデンサ C_{21} に回収する。補助コンデンサ C_{23} の電圧を、端子 P_{28} の電圧として図6(H)に示す。

【0105】次に、期間 T_{23} においては、FET(Q_{23})を導通させ、回収コンデンサ C_{21} に蓄えられていた電荷をダイオード D_{22} 、コイル L_{21} 、ダイオード D_{26} 、FET(Q_{23})を通して、補助コンデンサ C_{23} に充電する。補助コンデンサ C_{23} の電圧は端子 P_{28} の電圧として図6(H)に示されている。

【0106】また、期間 T_{23} においてFET(Q_{22})を導通させ、補助コンデンサ C_{22} に蓄えられていた電荷をFET(Q_{22})、ダイオード D_{25} 、コイル L_{22} 、ダイオード D_{23} を通して回収コンデンサ C_{21} に回収する。補助コンデンサ C_{22} の電圧は、端子 P_{27} の電圧として図6(E)に示されている。

【0107】次に、出力端子 PZ_{21} の電圧波形を例にとって、列電極にデータパルスを印加する回路の動作を説明する。

【0108】期間 T_{21} においては、期間 T_{21} 以前にはデータパルスが印加されておらず、期間 T_{21} 以降に新たにデータパルスを印加すべき列電極に接続される端子 PZ_{21} の電圧を図6(K)に示すように引き上げる。

【0109】このために、トランスファゲート QA_{21} を導通させ、回収コンデンサ C_{21} に蓄えられていた電荷をダイオード D_{22} 、コイル L_{21} 、トランスファゲート QA_{21} 、端子 PZ_{21} を通して列電極に充電する。

【0110】期間 T_{22} においては、IC(Z_{21})内のNチャネルFET(QN_{21})をオフとし、IC(Z_{21})内のPチャネルFET(QP_{21})をオンとすることによりデータパルス電圧をデータ電圧 V_d にクランプする。なお、FET(QP_{2i})とFET(QN_{2i})($i=1\sim n$)は互いにコンプリメンタリに動作するため、 QP_{21} がオン(またはオフ)の場合は QN_{21} はオフ(オン)である。

【0111】期間 T_{23} においては、端子 PZ_{21} のパルス電圧は変更しない。このため、トランスファゲート QA_{21} 、 QB_{21} はどちらも開状態のままとし、FET(QP_{21})はオン状態のまま、FET(QN_{21})はオフ状態のままとする。

【0112】期間 T_{24} においても端子 PZ_{21} の電圧はデータ電圧 V_d のままであるから、トランスファゲート QA_{21} 、 QB_{21} 、FET(QP_{21})、FET(QN_{21})の状態は変化させない。

【0113】期間 T_{25} においては、期間 T_{25} 以前にデータパルスが印加されており、期間 T_{25} 以降に新たにデータパルスをとりさる列電極につながる端子 PZ_{21} の電圧を引き下げる(図6(K))。このために、トランスファゲート QB_{21} を導通させ、選択された列電極に蓄えられていた電荷を端子 PZ_{21} 、トランスファゲート QB_{21} 、コイル L_{22} 、ダイオード D_{23} を通して回収コンデンサ C_{21} に回収する。

【0114】期間 T_{21} 、 T_{23} 、 T_{25} の時間は、データパルスの立ち上がり時間または立ち下がり時間 T に等しく 0.31μ 秒に設定した。

【0115】このように、本実施例では連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができる。しかも、それぞれの列電極のオン・オフの遷移は同一期間内に生じるため、遷移に要する期間を短縮することができ、高速動作を実現することができる。

【0116】なお、簡易な動作でよい場合には、補助回収回路6は省略してもよい。

【0117】

【実施例4】図7は、前記第3の実施例の電荷回収回路を簡易化した本発明の第4の実施例の駆動回路を示す図である。

【0118】図7を参照して、 Z_{31} は列電極を駆動する高耐電圧IC、 P_{31} はデータ電圧 V_d の略 $1/2$ の電荷回収用の直流電圧を印加する端子、 P_{32} はデータ電圧 V_d の直流電圧を印加する端子、 P_{33} はIC(Z_{31})の電荷回収用の端子、 P_{34} はIC(Z_{31})の接地端子、 P_{35} はIC(Z_{31})のデータ電圧 V_d を入力する端子、 $D_{31}\sim D_{33}$ はダイオード、 C_{31} は電荷回収の対象となる列電極、および補助コンデンサの合成静電容量の略100倍以上の静電容量を有する電荷回収用コンデンサ、 C_{32} は回収すべき列電極の静電容量の変動による回収静電容量

の変動率を小さくするための補助コンデンサ（静電容量 4 nF ） L_{31} は電荷回収用のコイル（インダクタンス $1\text{ }\mu\text{ H}$ ）、 Q_{31} はNチャネルFET、 Q_{32} はPチャネルFET、 Q_{A31} 、 \dots 、 Q_{A3n} はIC（ Z_{31} ）内の高耐圧のNチャネルのトランスファゲート、 Q_{N31} 、 \dots 、 Q_{N3n} はIC（ Z_{31} ）内の高耐圧のNチャネルFET、 Q_{P31} 、 \dots 、 Q_{P3n} はIC（ Z_{31} ）内の高耐圧のPチャネルFET、 DN_{31} 、 \dots 、 DN_{3n} はそれぞれNチャネルFET（ Q_{N31} 、 \dots 、 Q_{N3n} ）の寄生ダイオード、 DP_{31} 、 \dots 、 DP_{3n} はそれぞれPチャネルFET（ Q_{P31} 、 \dots 、 Q_{P3n} ）の寄生ダイオード、 PZ_{31} 、 \dots 、 PZ_{3n} は各列電極に接続されるIC（ Z_{31} ）の出力端子、 $7d$ は、FET（ Q_{31} 、 Q_{32} ）、ダイオード D_{32} 、 D_{33} よりなるスイッチユニット、 $7e$ は、FET（ Q_{P31} 、 Q_{N31} ）、寄生ダイオード DP_{31} 、 DN_{31} 、トランスファゲート Q_{A31} （ $i=1\sim n$ ）よりなるスイッチユニットである。

【0119】図8に、本実施例に係る回路の電圧、電流波形等を示す。

【0120】図8を参照して、期間 T_{31} 、 T_{33} 、 T_{35} 、 T_{36} は、データパルスのオン・オフの遷移期間であり、期間 T_{32} 、 T_{34} はデータパルスを一定電圧にクランプする期間である。

【0121】次に、図8（G）の出力端子 PZ_{31} の電圧波形を参照して、列電極にデータパルスを印加する動作を説明する。

【0122】期間 T_{31} においては、期間 T_{31} 以前にはデータパルスが印加されておらず、期間 T_{31} 以降に新たにデータパルスを印加すべき列電極につながる端子 PZ_{31} の電圧を図8（G）に示すように引き上げる。このために、FET（ Q_{32} ）、トランスファゲート Q_{A31} を導通させ、回収コンデンサ C_{31} に蓄えられていた電荷をFET（ Q_{32} ）、ダイオード D_{32} 、コイル L_{31} 、トランスファゲート Q_{A31} 、端子 PZ_{31} を通して列電極に充電する。

【0123】期間 T_{32} においては、IC（ Z_{31} ）内のNチャネルFET（ Q_{N31} ）をオフとし、IC（ Z_{31} ）内のPチャネルFET（ Q_{P31} ）をオンとすることによりデータパルス電圧をデータ電圧 V_d にクランプする。なお、PチャネルFET（ Q_{P31} ）とNチャネルFET（ Q_{N31} ）（ $i=1\sim n$ ）は互いにコンプリメンタリに動作するため、 Q_{P31} がオン（またはオフ）の場合 Q_{N31} はオフ（オン）である。

【0124】期間 T_{33} においては、つぎのデータパルスが存在するため、端子 PZ_{31} のパルス電圧は変更しない。このため、トランスファゲート Q_{A31} は開状態のままとし、FET（ Q_{P31} ）はオン状態のまま、FET（ Q_{N31} ）はオフ状態のままとする。

【0125】期間 T_{34} においても端子 PZ_{31} の電圧はデータ電圧 V_d のままであるから、トランスファゲート Q

A_{31} 、FET（ Q_{P31} ）、FET（ Q_{N31} ）の状態は変化させない。

【0126】期間 T_{35} においては、期間 T_{35} 以前にデータパルスが印加されており、期間 T_{35} 以降に新たにデータパルスを取り去る列電極につながる端子 PZ_{31} の電圧を引き下げる（図8（G））。このために、トランスファゲート Q_{A31} を導通させ、列電極に蓄えられていた電荷を端子 PZ_{31} 、トランスファゲート Q_{A31} 、コイル L_{31} 、ダイオード D_{33} 、FET（ Q_{31} ）を通して回収コンデンサ C_{31} に回収する。

【0127】期間 T_{31} 、 T_{35} の時間は、データパルスの立ち上がり時間または立ち下がり時間 T に等しく $0.31\text{ }\mu\text{ s}$ に設定した。放電と充電のタイミングをとるために設けてある期間 T_{36} は 0 から $0.1\text{ }\mu\text{ s}$ に設定した。

【0128】なお、本実施例においては、前記第2の実施例と同じく、コンデンサ C_{32} は省略してもよい。

【0129】このように、本実施例では連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができる。この場合、第3の実施例と異なり、それぞれの列電極のオン・オフの遷移は同一期間内に発生させることができないため、遷移に要する期間は前記第3の実施例の2倍かかるが、電荷回収回路、およびIC（ Z_{31} ）の構成を簡単にできる利点がある。

【0130】

【実施例5】図9は、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めた本発明の前記第3の実施例（図5参照）における、IC（ Z_{21} ）以外の回路を簡略化した、本発明の第5の実施例である。

【0131】図9を参照して、 Z_{41} は列電極を駆動する高耐電圧IC、 P_{42} はデータ電圧 V_d の直流電圧を印加する端子、 P_{43} はIC（ Z_{41} ）の電荷回収用の第1の端子、 P_{44} はIC（ Z_{41} ）の接地端子、 P_{45} はIC（ Z_{41} ）のデータ電圧 V_d を入力する端子、 P_{46} はIC（ Z_{41} ）の電圧回収用の第2の端子、 $D_{41}\sim D_{46}$ はダイオード、 L_{41} は電荷回収用のコイル（インダクタンス $1\text{ }\mu\text{ H}$ ）、 Q_{A41} 、 \dots 、 Q_{A4n} はIC（ Z_{41} ）内の高耐圧のNチャネルのトランスファゲート、 Q_{B41} 、 \dots 、 Q_{B4n} はIC（ Z_{41} ）内の高耐圧のPチャネルのトランスファゲート、 Q_{N41} 、 \dots 、 Q_{N4n} はIC（ Z_{41} ）内の高耐圧のNチャネルFET、 Q_{P41} 、 \dots 、 Q_{P4n} はIC（ Z_{41} ）内の高耐圧のPチャネルFET、 DN_{41} 、 \dots 、 DN_{4n} はそれぞれNチャネルFET（ Q_{N41} 、 \dots 、 Q_{N4n} ）の寄生ダイオード、 DP_{41} 、 \dots 、 DP_{4n} はそれぞれPチャネルFET（ Q_{P41} 、 \dots 、 Q_{P4n} ）の寄生ダイオード、 PZ_{41} 、 \dots 、 PZ_{4n} は各列電極に接続されるIC（ Z_{41} ）の出力端子、 $7f$ は、FET（ Q_{P41} 、 Q_{N41} ）、寄生ダイオード DP_{41} 、 DN_{41} 、トランスファゲート Q_{A41} 、 Q_{B41} （ $i=1\sim n$ ）よりなるスイッチユニットである。

【0132】図10に、本実施例に係る駆動回路の電圧、電流波形等を示す。

【0133】図10を参照して、期間 T_{41} 、 T_{43} 、 T_{45} は、データパルスのオン・オフの遷移期間であり、期間 T_{42} 、 T_{44} はデータパルスを一定電圧にクランプする期間である。

【0134】次に、出力端子 PZ_{41} の電圧波形を例にとって、列電極にデータパルスを印加する動作を説明する。

【0135】期間 T_{41} においては、期間 T_{41} 以前にはデータパルスが印加されておらず、期間 T_{41} 以降に新たにデータパルスを印加すべき列電極につながる端子 PZ_{41} の電圧を図10(C)に示すように引き上げる。このために、トランスファゲート QA_{41} を導通させる。これにより端子 P_{43} の電圧は図10(A)に示すように一旦最低電位まで下がる。

【0136】これと同時に、期間 T_{41} において、期間 T_{41} 以前にはデータパルスが印加されており、期間 T_{41} 以降に新たにデータパルスを取り去るべき列電極につながる端子 PZ_{4i} (i は2～ n の内データパルスを取り去るべき端子の番号)の電圧を図10(H)に示すように引き下げる。このためにトランスファゲート QB_{4i} (i は2～ n の内データパルスを取り去るべき端子の番号)を導通させる。これにより図10(B)に示すように端子 P_{46} の電圧は一旦データ電圧 V_d 近くまで上昇する。

【0137】したがって、期間 T_{41} の開始時点で、端子 P_{43} と端子 P_{46} の間には略 V_d の電位差が発生する。このために電流がコイル L_{41} 、ダイオード D_{41} を流れて、最終的には図10(A)、(B)に示すように、端子 P_{43} と端子 P_{46} の電位が逆転する。

【0138】期間 T_{42} においては、IC(Z_{41})内のNチャネルFET(QN_{41})をオフとし、IC(Z_{41})内のPチャネルFET(QP_{41})をオンとすることによりデータパルス電圧をデータ電圧 V_d にクランプする。なお、FET(QP_{41})とFET(QN_{41}) ($i=1\sim n$)とは互いにコンプリメンタリに動作するため、 QP_{41} がオン(またはオフ)の場合 QN_{41} はオフ(オン)である。

【0139】期間 T_{43} においては、端子 PZ_{41} のパルス電圧は変更しない。このため、トランスファゲート QA_{41} 、 QB_{41} はどちらも開いたままとし、FET(QP_{41})はオン状態のまま、FET(QN_{41})はオフ状態のままとする。

【0140】期間 T_{44} においても端子 PZ_{41} の電圧はデータ電圧 V_d のままであるから、トランスファゲート QA_{41} 、 QB_{41} 、FET(QP_{41} 、 QN_{41})の状態は変化させない。

【0141】期間 T_{45} においては、期間 T_{45} 以前にデータパルスが印加されており、期間 T_{45} 以降に新たにデー

タパルスを取り去る列電極につながる端子 PZ_{41} の電圧を引き下げる(図10(C))。このために、トランスファゲート QB_{41} を導通させ、選択された列電極に蓄えられていた電荷を端子 PZ_{41} 、トランスファゲート QB_{41} 、コイル L_{41} 、ダイオード D_{41} を通して、他の新たにパルスを印加すべき列電極へ移動させる。

【0142】なお、期間 T_{41} 、 T_{43} 、 T_{45} の時間は、データパルスの立ち上がり時間または立ち下がり時間 T に等しく0.31 μ 秒に設定した。

【0143】このように、本実施例では連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができた。しかも、それぞれの列電極のオン・オフの遷移は同一期間内に起こるため、遷移に要する期間を短縮することができ、高速動作を達成できる。

【0144】本実施例は前記第3の実施例よりも、列電極を駆動するICの外につける部品点数が少なく、また、それらの部品は全て受動素子であり、制御信号を必要としないため、回路を非常に簡略化できるという利点を有する。しかしながら、新たにパルスを印加すべき列電極の数と、新たにパルスを取り去るべき列電極の数のバランスが悪い場合には、電荷回収率が低下する場合がある。

【0145】なお、上記各実施例では数値を上げて説明したが、これらの数値は本発明を具体的に説明するために用いたものであり、本発明の範囲を何等限定するものではない。

【0146】上記各実施例では、図11、図12に示した構造のプラズマディスプレイパネルを例として本発明を説明したが、本発明は、これに限らず他のAC型やDC型のプラズマディスプレイパネルの駆動にも適用できることはいうまでもない。また、プラズマディスプレイパネルだけでなく、その他の容量性の表示パネル、すなわちエレクトロルミネセントパネルや液晶パネルの駆動にも適用できる。

【0147】さらに、以上で述べた実施例では、高電圧のスイッチとして、FETを用いて説明したが、FETではなくバイポーラトランジスタ等をスイッチとして用いてもよいことはいうまでもない。

【0148】以上、本発明を上記実施例に即して説明したが、本発明は上記態様にのみ限定されるものでなく、本発明の原理に準ずる各種態様を含むことは勿論である。

【0149】

【発明の効果】以上、説明したように本発明(請求項1)によれば、容量性の列電極に印加するデータパルスの電力を効率的に削減することが可能となり、電力の利用効率の向上、有効活用を可能とし、工業上の価値は極めて高い。上記効果は、各従属請求項2～4を具備した場合に好適に達成される。

【0150】また、本発明（請求項6）によれば、電荷回収回路の動作開始から所定期間経過後に、データ電圧入力端子の電圧が所定のレベル以下又は最低となった時点で、列電極を駆動するIC内のFETのオン・オフ遷移を行うため、電荷回収の効率が最も高くなると共に、データ電源からICへのデータ電圧の供給も電荷回収の効率を最適化するように制御することができる。

【0151】そして、本発明（請求項8）によれば、従来は大きな電流を制御するスイッチを微妙なタイミングで制御する必要があったが、本発明によれば、厳しいタイミング制御は全く不要とされる。すなわち、全てのFETについて、固定されたタイミングにおいてオンまたはオフの遷移を制御しながら、高い電荷回収効率を持つデータ側の駆動回路を実現できる。また、本発明（請求項8）によれば、データパルスの立ち下がり時間または立ち上がり時間Tが小さくなっても回路動作上問題ないため、補助コンデンサを省略することもできる。

【0152】さらに、本発明（請求項10）によれば、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができる。しかも、それぞれの列電極のオン・オフの遷移は同一期間内に起こるため、遷移に要する期間を短縮することができ、高速動作を達成することができる。

【0153】また、本発明（請求項12）によれば、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めることができる。この場合、それぞれの列電極のオン・オフの遷移は同一期間内に発生させることができないため、遷移に要する期間は長くなるが、電荷回収回路、および列電極を駆動するICの構成を簡単にできるという利点を有する。

【0154】さらに、本発明（請求項14）によれば、連続データパルスと電荷回収を併用し、データパルスの省電力効果を著しく高めると共に、それぞれの列電極のオン・オフの遷移は同一期間内に起こるため、遷移に要する期間を短縮することが可能とされ、高速動作を達成できる。そして、本発明によれば、列電極を駆動するICの外につける部品点数が少なく、またそれらの部品は実質的に受動素子からなり、特別な制御信号を必要としないため、回路構成を極めて簡易化できるという利点を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第1の実施例の動作波形を示す図である。

【図3】本発明の第2の実施例の構成を示す図である。

【図4】本発明の第2の実施例の動作波形を示す図であ

る。

【図5】本発明の第3の実施例の構成を示す図である。

【図6】本発明の第3の実施例の動作波形を示す図である。

【図7】本発明の第4の実施例の構成を示す図である。

【図8】本発明の第4の実施例の動作波形を示す図である。

【図9】本発明の第5の実施例の構成を示す図である。

【図10】本発明の第5の実施例の動作波形を示す図である。

【図11】従来の交流面放電型プラズマディスプレイパネルの構成を示す図である。

【図12】従来の交流面放電型プラズマディスプレイパネルの電極の配置を示す図である。

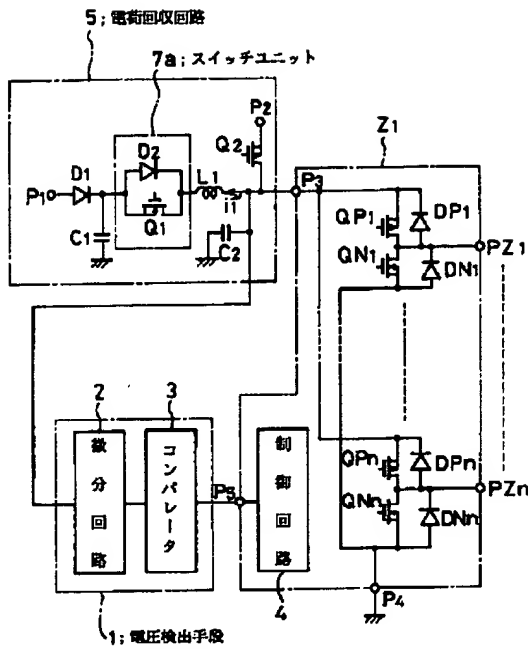
【図13】従来の交流面放電型プラズマディスプレイパネルの駆動波形の一例を示す図である。

【図14】従来の電荷回収回路の構成を示す図である。

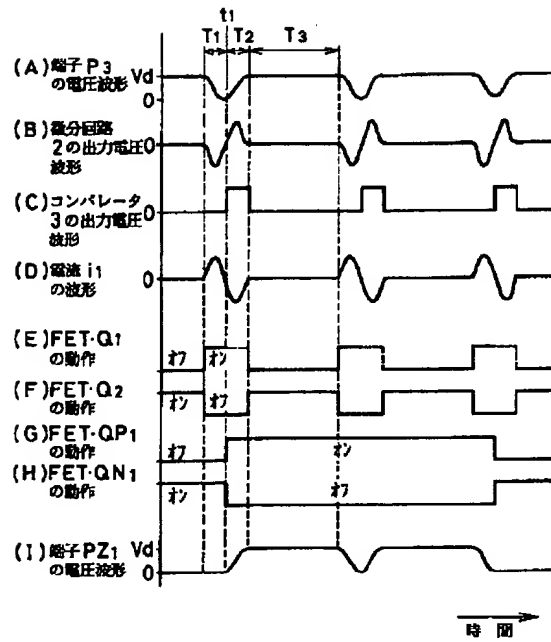
【符号の説明】

- 1 電圧検出手段
- 2 微分回路
- 3 コンパレータ
- 4 制御回路
- 5 電荷回収回路
- 6 補助回収回路
- 7a～7f スイッチユニット
- 11 第1絶縁基板
- 12 第2絶縁基板
- 13、Da₁、Da₂、…、Da_{n-1}、Da_n 列電極
- 14、20 絶縁層
- 15、21 隔壁
- 16 蛍光体
- 17、S₁、S₂、…、S_m 走査電極
- 18、Ca₁、Ca₂、…、Ca_m 維持電極
- 19 バス電極
- 22 保護層
- 23 放電ガス空間
- 24 表示セル
- 25 プラズマディスプレイパネル
- 26 シール部
- 31、32 維持パルス
- 33 走査パルス
- 34 データパルス
- 35 消去パルス
- 36 プライミングパルス
- 37 プライミング消去パルス

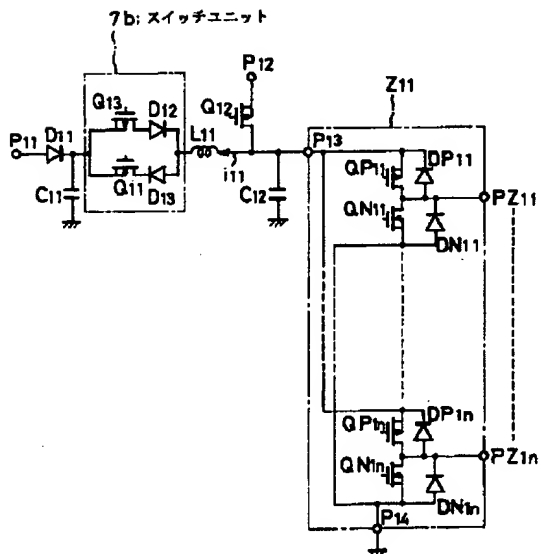
【図1】



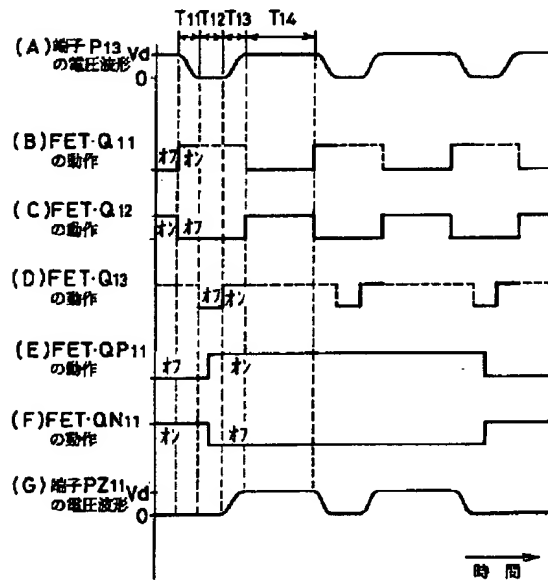
【図2】



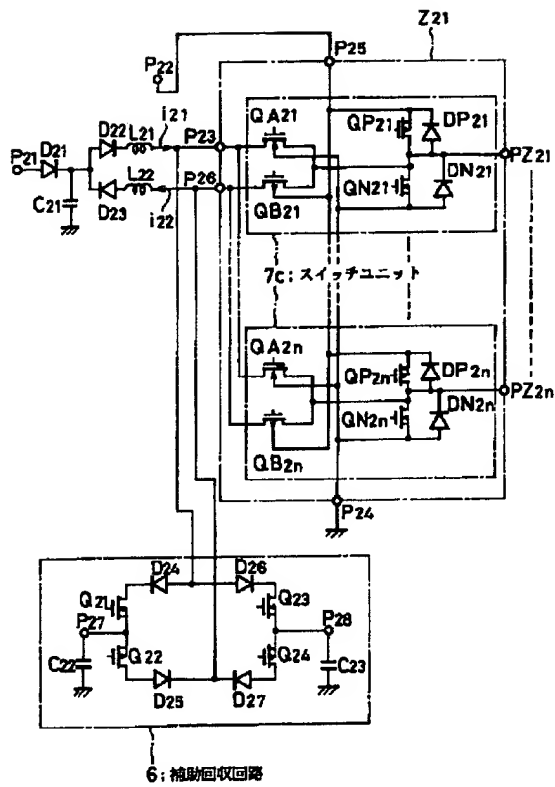
【図3】



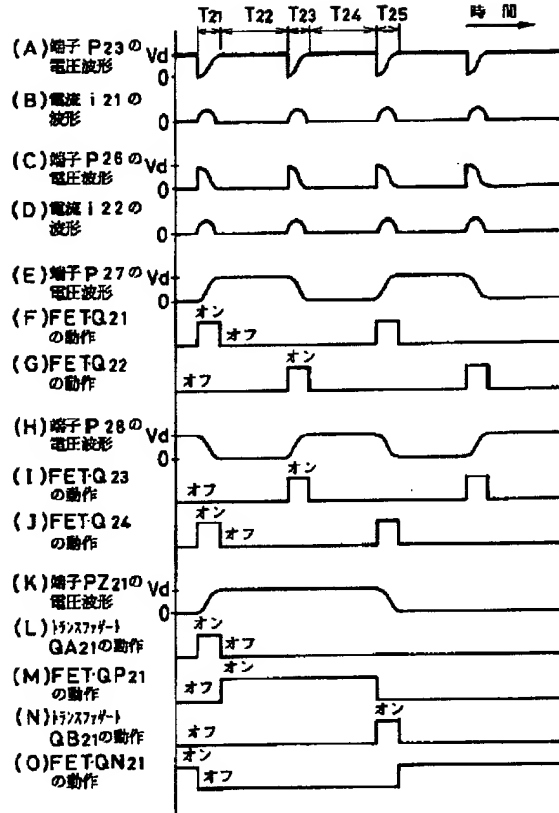
【図4】



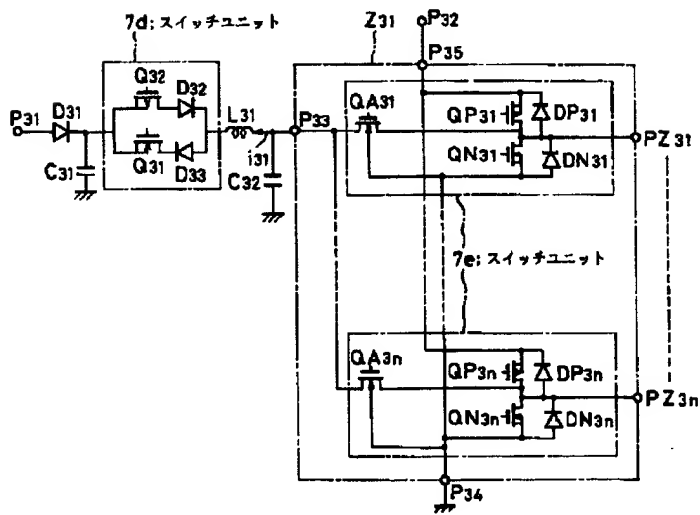
【図 5】



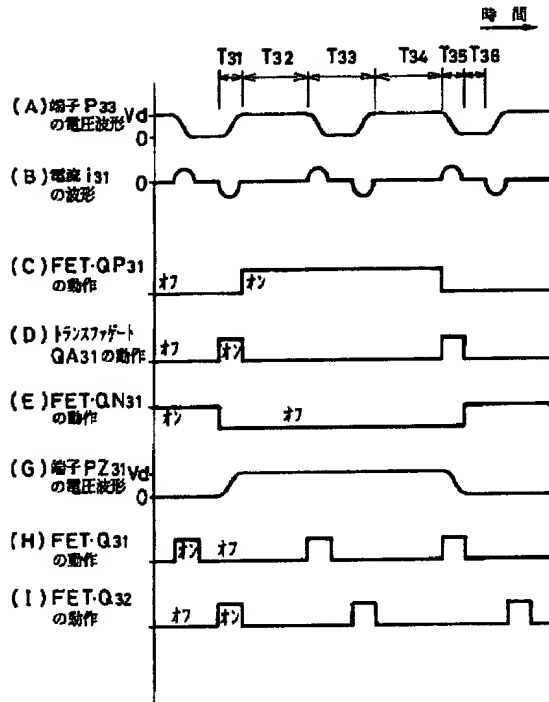
【図 6】



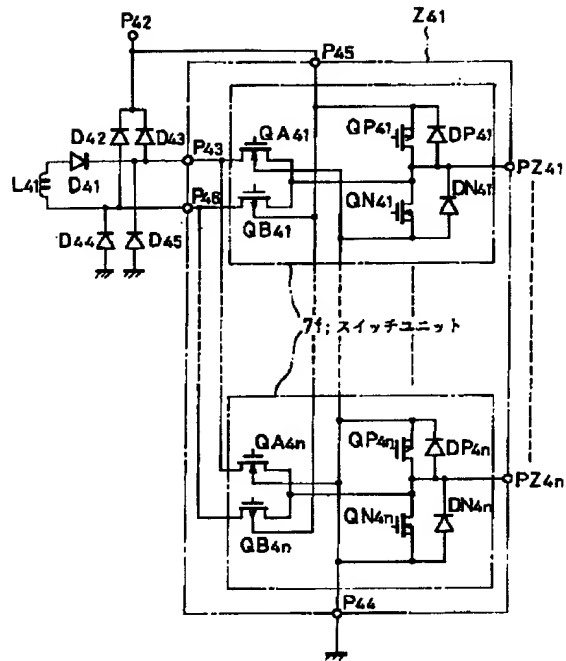
【図 7】



【図8】

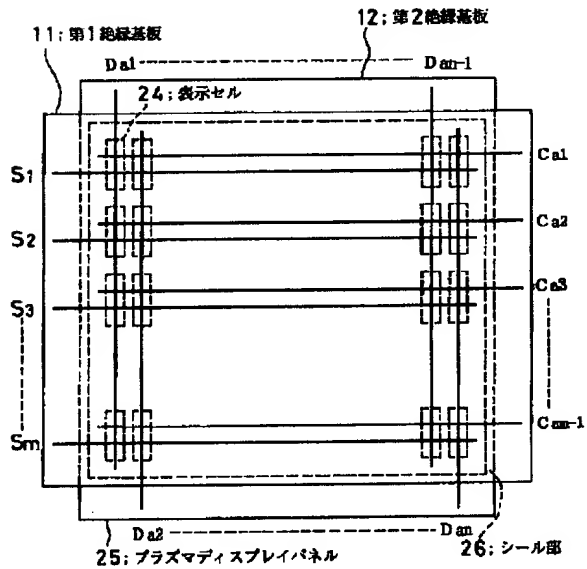
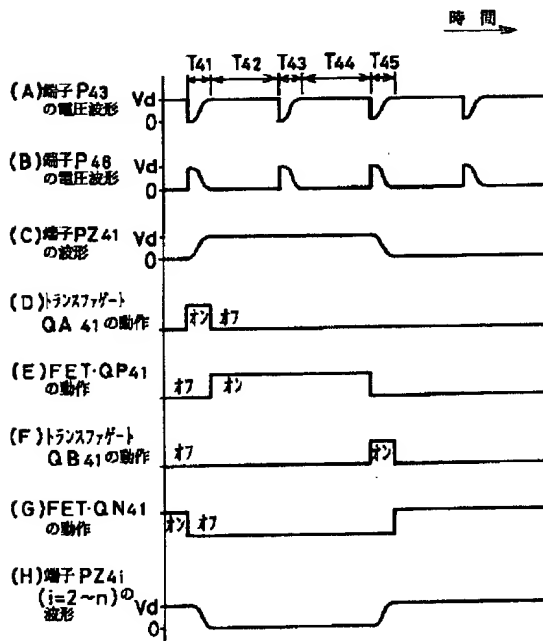


【図9】

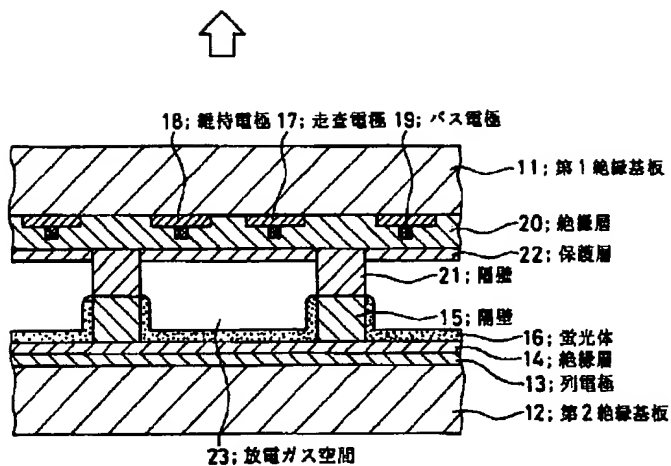


【図12】

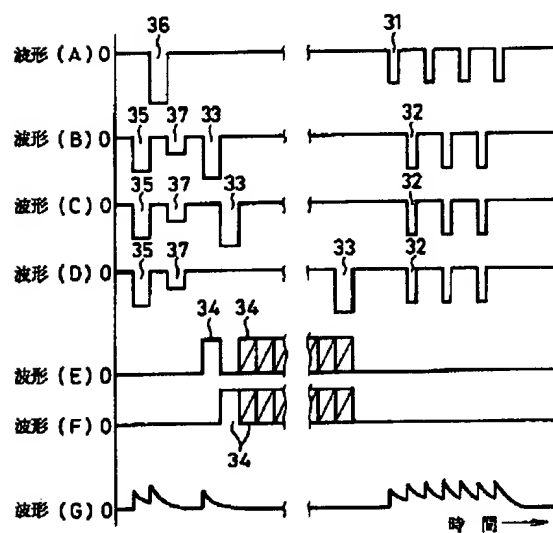
【図10】



【図11】



【図13】



【図14】

